FPGA 伺服控制器設計

說明：預習報告於上課時繳交，請親筆書寫，內容包括實驗目的、流程等。實驗報告於實驗完成後一周內繳交，遲交者將斟酌扣分。

壹. 實驗目的

以標準的解碼器電路為例，練習基本邏輯的處理方法。

貳. 實驗內容

VHDL 是美國國防部在 1980 年代為了開發高速戰機中的積體電路而制定的硬體描述語言，當初的計畫名稱叫做 Very High Speed Integrated Circuits program，簡稱 VHSIC；所開發的硬體描述語言就叫 VHSIC Hardware Description Language，再次的簡化就成了 VHDL 的稱呼。

要用 VHDL 語言來設計邏輯電路，FPGA 元件可以說是最佳的實驗目標。FPGA 的全名是 Field Program Gate Array，它是在一顆超大型積體電路超大型積體電路（通常是 84 腳或更大的 IC 包裝）中，均勻配置了一大堆的可程式邏輯單元（稱之為 CLB）。每個 CLB 都擁有基本的組合邏輯和順序邏輯，而在 CLB 和 CLB 之間也均勻配置了一大串的可程式配線（Routing），控制這些配線就可將一個個單獨的 CLB 整合成完整而複雜的大型電路；最後再利用分布於外圍的可程式輸入輸出阜（稱之為 IOB），提供 FPGA 和外部電路的界面關係。

最特別的是，FPGA 元件中的邏輯單元（CLB）、輸出輸入阜（IOB）和配線（Routing）不但都是可程式化，還是 RAM 型的可程式結構。如果大家熟悉微電腦中的記憶體，就會瞭解：

PROM	是可程式的，但是只能燒錄一次
EPROM	可以多次燒錄，但是每次都要從電路板拔下來燒錄
EEPROM	可以直接在電路板上進行燒錄，但是次數有所限制
RAM	可以隨時讀寫而沒有任何次數限制

所以 FPGA 中的邏輯電路不但是可程式的，還可以像讀寫 RAM 一樣的隨時載入並更新設計，就像是一個電腦輔助配線的麵包板一樣方便。一個電腦輔助配線的麵包板一樣方便。只是由於接腳個數上的限制，可程式邏輯電路的起始設定程序稍微慢了些，比較像 Serial RAM 一樣，必須用串列訊號來控制讀寫的動作。

FPGA 元件就像一個電腦輔助配線的麵包板一樣，提供了一個最佳的 VHDL 實習空間，讓大家的學習過程中有一試再試的機會。但是 FPGA 的最終設計結

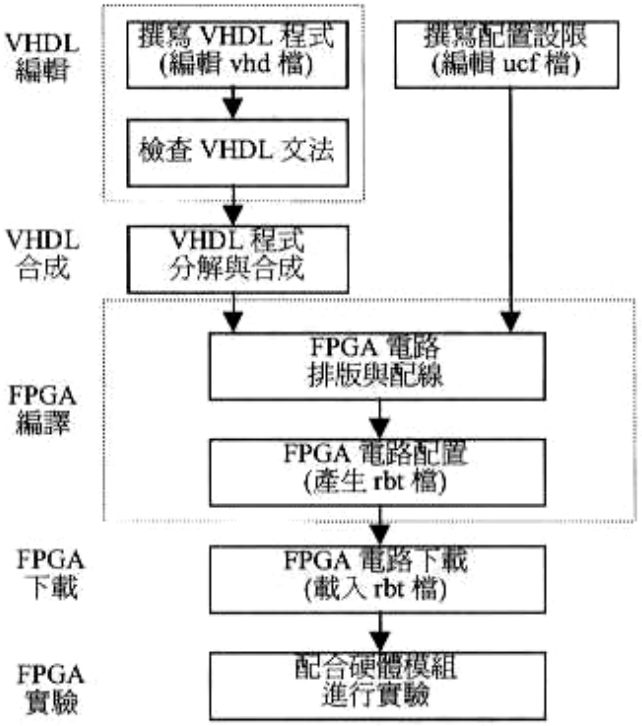
果，只是內部的配置圖和一些模擬結果而已，我們還需要配合外部電部，才能有真正的實驗測試機會。

本實驗配合一套模組式的實習設備來完成。其中關鍵設備是一個 PGA 控制模組，內含三顆 Xilinx 的 FPGA 元件 XCS05 和其可程式載入界面。利用個人電腦提供的印表機界面和個人電腦連線，所以可以由個人電腦來發展 VHDL 程式，在編輯完畢後再載入 FPGA 元件中。另外再 FPGA 元件載入並開始工作後，個人電腦還是可以透過印表機界面進行 FPGA 元件的參數設定和監控工作，增加了實驗彈性和應用的範圍。

就我們所要設計的 FPGA 元件來說，每個 FPGA 元件都面對了一組 PRT 界面和兩組 I/O 界面。其中 PRT 界面是微電腦間的通訊界面，可以規劃成類似匯流排（BUS）的資料溝通管道。而兩組 I/O 界面就是真正的實驗界面，每組 I/O 界面都包括了 16 位元的可程式輸入輸出阜，可以再 FPGA 元件內預作規劃而控制不同的實驗目標。

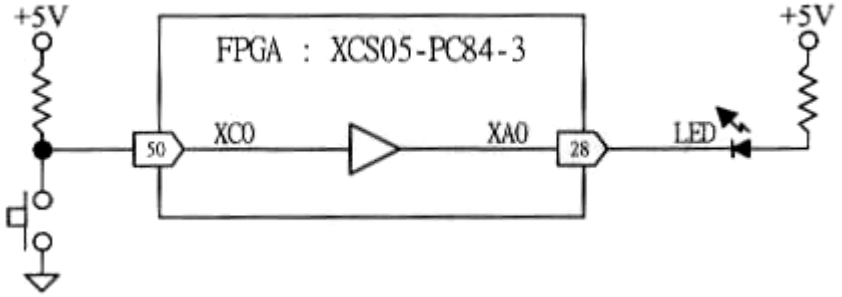
每組 I/O 界面可根據實驗需求而連接不同的實驗模組，每個實驗模組都具有相同的 16 位元 I/O 界面，本實驗的模組為：基本測試模組。包括 4 個按鍵輸入和 12 個 LED 輸出，可進行初步的 VHDL 程式練習試驗。

參. 實驗流程



範例程式

訊號傳遞電路



程式：

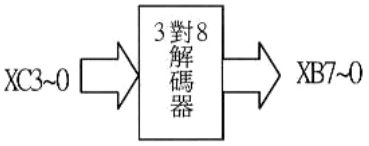
example.vhd 檔

```
--The IEEE standard 1164 package, declares std_logic, rising_edge(), etc.
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;

--This package is a version of the Synopsys package and has been
-- optimized for use with the Express compiler.
library SYNOPSYS;
use SYNOPSYS.attributes.all;

entity EXP is
        port
       (       XC0 : in    STD_LOGIC;
               XA0 : out  STD_LOGIC
        );
end EXP;

architecture EXP_ARCH of CH01 is
begin
       XA0  <=  XC0;
end EXP_ARCH;
```

example.ucf 檔

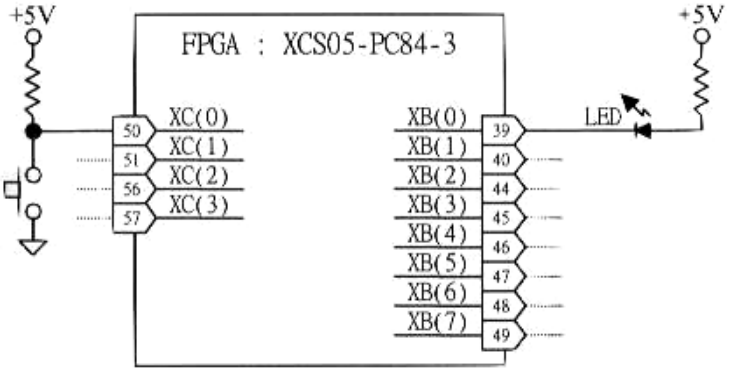
```
##############################################
#          I/O  mapping  for  PGA  board          #
##############################################
NET XA0 LOC=P28;
NET XC0 LOC=P50;
```

肆. 3 對 8 解碼器電路



外部電路配置：

其功能為按鍵輸入和 LED **輸出界面。其中 4 組按鍵輸入訊號用** XC(3~0)**來定義，選擇 8 組** LED **輸出訊號用** XB(7~0)**來定義。示意圖如下：**



其中輸入訊號為 0 作動，當按鍵按下時輸入為 0，放開為 1；而輸出訊號也是 0 作動，輸出為 0 時 LED **燈亮，輸出為 1 時** LED **燈熄。**

內部電路設計：

1. **首先宣告輸入和輸出的序列訊號關係**

2. 其次以真值表來定義輸出和輸入之間的邏輯關係

輸入訊號				輸出訊號							
XC3	XC2	XC1	XC0	XB7	XB6	XB5	XB4	XB3	XB2	XB1	XB0
0	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	0
1	0	0	1	1	1	1	1	1	1	0	1
1	0	1	0	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	0	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1
1	1	0	1	1	1	0	1	1	1	1	1
1	1	1	0	1	0	1	1	1	1	1	1
1	1	1	1	0	1	1	1	1	1	1	1

3. 選擇用 when-else 的查表處理方式來敘述真值表

範例：

輸入		輸出
X(1)	X(0)	Y
0	1	1
1	0	1
0	0	0
1	0	0

<u>對映的 when-else 敘述式</u>

```
Y <= '1' when X="01" else
     '1' when X="10" else
     '0' ;
```

4. 編輯配置限制檔（*.ucf）

5. 用 LoadPGA 程式將 *.rbt 的電路檔載入 FPGA 中，再用手分別按下 XC(0~3) 的四個按鍵，由 LED 的顯示狀況就可確認 FPGA 是否正確執行預先規劃的３對８解碼電路

伍. 實驗報告

1. 寫出 and、or、xor 及 not 這四個基本邏輯的常用表示法，包括電路符號、真值表及布林邏輯表示法。

2. 寫下此次實驗的建議、心得及感想。